

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-200000

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H03K 3/037  
H03K 3/3562

(21)Application number : 08-009569

(71)Applicant : NEC ENG LTD

(22)Date of filing : 23.01.1996

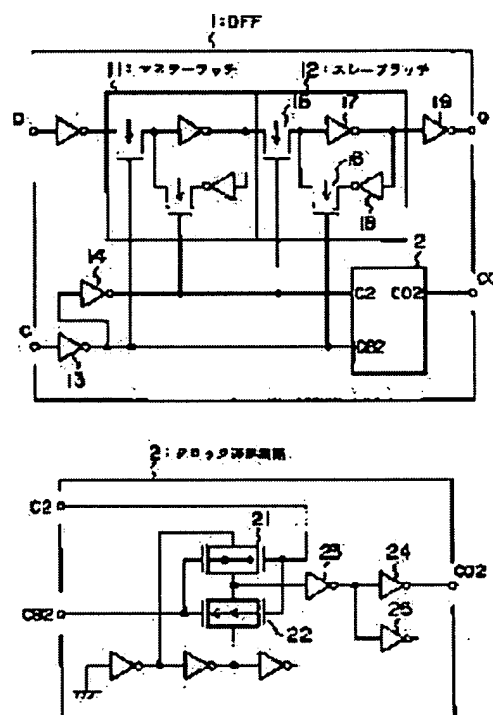
(72)Inventor : FUJITA HITOSHI

(54) D FLIP-FLOP

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a D flip-flop in which data are sent/received at a high speed between integrated circuits (DFFs), a clock skew caused in this case is reduced, and a latch error caused by the skew is prevented.

**SOLUTION:** The DFF 1 is provided with a clock delay circuit 2 in which data are outputted from a data output terminal Q with a clock received by a clock input terminal C and a clock via a transfer gate, a transfer gate equivalent to two buffers is outputted to a clock output terminal CO to generate a clock signal whose delay time matches a data delay time  $T_d$  and the clock is outputted to the clock output terminal CO. Since data and a clock signal are delivered on wiring of the same path to an output connection destination DFF, the effect by the wiring is cancelled and then no problem is caused to high speed transmission of signals between integrated circuits (DFFs).



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-200000

(43)公開日 平成9年(1997)7月31日

(51) Int.Cl.<sup>6</sup>

H O 3 K 3/037  
3/3562

識別記号

庁内整理番号

FI

H O 3 K 3/037  
3/356

### 技術表示箇所

B  
C

審査請求 未請求 請求項の数3 O.L (全 6 頁)

(21)出願番号 特願平8-9569

(22)出願日 平成8年(1996)1月23日

(71)出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72)発明者 藤田 仁

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

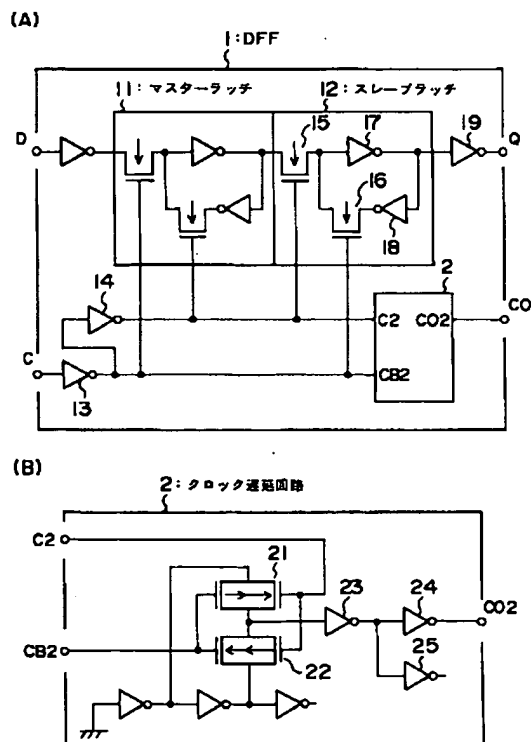
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 D型フリップフロップ

(57) 【要約】

【課題】 集積回路間でデータを高速で送受でき、この際に発生するクロックスキューを低減してスキューにより発生するラッチエラーを防止できるD型フリップフロップを提供することである。

【解決手段】 DFF 1では、クロック入力端子Cに入力したクロックによりデータ出力端子Qからデータが出力するが、データの経路にあるトランスファゲートおよび2つのバッファと同等なトランスファゲートおよび2つのバッファを介して前記クロックがクロック出力端子COに出力することにより、データの遅延時間Tdに一致するクロックを生成してクロック出力端子COに出力するクロック遅延回路2が設けられている。出力接続先DFFに、データとクロック信号とを同一経路の配線とすることにより配線による影響は相殺され、集積回路間での信号の高速伝送に対して何等問題は無い。



## 【特許請求の範囲】

【請求項1】 半導体集積回路を構成するD型フリップフロップにおいて、データ出力端子Qからデータが出力する遅延時間に一致するクロックを生成し出力するクロック遅延回路と、この遅延回路の出力を外部に接続するクロック出力端子C Oとを備えることを特徴とするD型フリップフロップ。

【請求項2】 請求項1において、前記クロック遅延回路は、入力するデータがラッチされた際、このデータを出力させるクロックを入力し、このクロックをデータがこのクロックにより出力するまでと同一の回路構成を介して出力することを特徴とするD型フリップフロップ。

【請求項3】 請求項1において、接続先の半導体集積回路のD型フリップフロップのデータ入力端子Dおよびクロック入力端子Cそれぞれに、前記データ出力端子Qおよびクロック出力端子C Oそれぞれを同一経路による配線を介して接続することを特徴とするD型フリップフロップ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路を構成するD型フリップフロップに関し、特に、高速に集積回路間でデータを送受でき、この際に発生するクロックスキュー (Skew) を低減して、スキューにより発生するラッチエラーを防止できるD型フリップフロップに関する。

【0002】 対象となる半導体集積回路は、半導体上に形成された集積化トランジスタにより、外部入力信号群を所望の出力信号群に変換するものであり、この集積回路には、信号種別ではアナログ集積回路およびデジタル集積回路、また、素子の点からは、バイポーラ、MOS等の集積回路がある。

【0003】 更に製品の分類として、特定用途向けおよび一般用途向けがあり、近年、特定用途向けのデジタル集積回路は、複数のトランジスタにより回路を構成するセルの自動配置、これらセル間を接続する自動配線等により開発期間を短縮されたゲートアレイおよびセルベース等の集積回路が普及している。

【0004】 D型フリップフロップは、ゲートアレイおよびセルベース等の集積回路を構成するセルの1つである。

## 【0005】

【従来の技術】 従来、集積回路間で集積回路それぞれに使用されるD型フリップフロップ (以後、DFF) を配線接続する場合、配線に寄生抵抗および寄生容量があるため、データ転送に配線長遅延が影響してスキュー (Skew) の問題が生じている。

【0006】 このスキュー問題を解決する技術の第1の例について、図3を参照して説明する。

【0007】 図3 (A) に示されるように、集積回路7のDFF 5-7のQ端子から出力されるデータは、寄生抵抗および寄生容量を有する配線を介して集積回路9のDFF 5-9のD端子に入力する。同期用のクロック信号 (以後、CLK) を送出する発振器 (以後、OSC) 6は集積回路9の近辺に配置されており、このため、集積回路9のDFF 5-9のC端子に接続される配線が短く、集積回路7のDFF 5-7のC端子に接続される配線は集積回路9との間の同一経路の配線を使用することによりデータの場合とほぼ同等の寄生抵抗および寄生容量を有する長い配線になっている。

【0008】 この結果、図3 (B) に示されるように、集積回路7のDFF 5-7のCLK 7が立ち上がってから出力が受信側集積回路9のDFF 5-9のデータ入力端子Dに到達するまでの時間TdとDFF 5-9自身のセットタイムアップTsuとは一定であり、クロック信号の配線による寄生効果を見れば、時間TdとセットタイムアップTsuとの和が、データ送受信の最高動作速度になる。しかし、現実には、配線の寄生抵抗および寄生容量の存在が高速動作に対する悪影響を無視できない。すなわち、寄生効果を考慮すれば時定数による遅延時間が加わり最高動作速度は低下するので、高速のデータ送受信は困難である。

【0009】 次に、スキュー問題を解決する技術の第2の例について、図4を参照して説明する。

【0010】 図4 (A) に示されるように、集積回路8の内部に遅延バッファDLG 81を備え、OSC 6から入力されたCLK 8はDFF 5-8のC端子に供給されると共に遅延バッファDLG 81を経由して集積回路8から出力されている。出力遅延バッファDLG 81がデータがDFF 5-8を経由することにより生じる遅延時間と同等の遅延時間を有することにより、集積回路8からデータとCLKとがほぼ同時に出力されている。従って、データおよびCLKの配線経路を等しくすることで回路の寄生効果による時定数に基づく遅延時間は相殺することができる。

【0011】 しかし、DFF 5の遅延時間を遅延バッファDLG 81により相殺することは下記の理由により困難であるため、図4 (B) に示されるように、受信側の集積回路9のDFF 5-9のC端子に入力するCLK 9は立ち下がり、立ち上がりの時期を特定できない。

【0012】 すなわち、まず、DFF内部に使用されるトランスファゲートで発生する遅延時間はバッファ、インバータ等による遅延時間とは相違する。また、DFF内部では、ゲート容量による負荷容量が使用されるクロックラインの配線による負荷容量より支配的で、ゲートアレイ、セルベース等の自動配置配線による集積回路ではこの等化の負荷容量をDFFの外部に設けた遅延バッファにより設定することが困難である。更に、複数の遅延バッファDLG 81の直列回路によりDFFの遅延を相殺

することは、各遅延バッファDLG間の配線長が予測できないので困難である。

【0013】一方、別に配線長遅延が影響して発生するスキュー等の問題をなくし、データ抜けを必要最小限の遅延時間で確実に防止できる技術が、第3の例として例えば、特開平5-325586号公報および特開平5-29888号公報に記載されている。

【0014】この2つの公開公報に記載された集積回路では、図5に示されているように、各集積回路それぞれに内蔵されているDFF91～93それぞれは外部からC端子に入力されたCLK信号をそのまま外部に出力するか、または、入力されたクロック信号と同相のCLK信号を出力するCO端子を備えている。データは、DFF91のD端子に入力してQ端子から出力し、DFF92を介してDFF93のD端子に入力してQ端子から出力している。

【0015】一方、発振器OSC6が出力するCLKは、データと逆の経路で、データ出力側のDFF93のC端子に入力してCO端子から出力し、DFF92を介してデータ入力側のDFF91のC端子に入力している。

【0016】この構成により同期式のフリップフロップを用いた論理回路におけるホールド時間の条件を常に満足できる集積回路が提供されている。

【0017】

【発明が解決しようとする課題】上述した従来のD型フリップフロップのうち、図3を参照した第1の例では、クロック信号の配線による寄生効果を見れば、時間TdとセットタイムアップTsuとの和が、データ送受信の最高動作速度になるという理論で実現可能であるが、現実には、配線の寄生抵抗および寄生容量の存在が高速動作に対する悪影響を見れば無視できない。すなわち、寄生効果を考慮すれば時定数による遅延時間が加わり最高動作速度は低下するので、高速のデータ送受信は困難であるという問題点がある。

【0018】また、図4を参照した第2の例では、上述したように、DFFの遅延時間を遅延バッファDLGにより相殺しているので、受信側の集積回路のDFFのC端子に入力するCLKは、立ち下がり・立ち上がりの時期を特定することができないという問題点がある。

【0019】また、上記公開公報に記載された第3の例では、データとクロック信号とが逆の方向に経路を取手いるので、DFF間の距離によって各DFFにおいて出力の位相が変化すると共に、入力側でホールドタイムThが不足する機会を生じるという問題点がある。

【0020】本発明の課題は、上記問題点を解決するために、集積回路間でデータを高速で送受し、この際に発生するクロックスキュー (Skew) を低減できるD型フリップフロップを提供することである。

【0021】

【課題を解決するための手段】本発明によるD型フリップフロップは、データ出力端子Qからデータが出力する遅延時間に一致するクロック信号を生成し出力するクロック遅延回路と、この遅延回路の出力を外部に接続するクロック出力端子COとを備えている。

【0022】また、前記クロック遅延回路は、入力するデータがラッチされた際、このデータを出力させるクロック信号を入力し、このクロック信号をデータがこのクロック信号により出力するまでと同一の回路構成を介して出力している。

【0023】また、本発明によるD型フリップフロップは、接続先の半導体集積回路のD型フリップフロップのデータ入力端子Dおよびクロック入力端子Cそれぞれに、前記データ出力端子Qおよびクロック出力端子COそれぞれを同一経路による配線を介して接続している。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0025】図1は本発明の実施の一形態を示す回路図である。

【0026】図1 (A) に示されたD型フリップフロップ (DFF) 1では、2つのラッチ回路、入力側のマスターラッチ11および出力側のスレーブラッチ12と、データが出力する際の遅延時間に一致するクロック信号を生成し出力するクロック遅延回路2が含まれている。

【0027】本発明が従来と相違する点は、DFF1から出力するデータとほぼ一致した遅延時間でクロック信号を出力させるクロック遅延回路2をDFF1に内蔵して、出力データと出力クロックとのスキューの発生を最小にしていることである。

【0028】2つのラッチ回路は入力側のマスターラッチ11および出力側のスレーブラッチ12であり、それぞれが、入力側にトランスファゲート15を接続する直列に接続された2つのトランスファゲート15・16、並びに、トランスファゲート15・16の接続点からデータを取り出して出力するインバータ17およびこの出力を出力側トランスファゲート16に帰還接続するインバータ18を有しているものとする。スレーブラッチ12の出力はインバータ19を介してデータ出力端子Qに出力される。

【0029】2つのインバータ13・14は直列に接続されており、インバータ13はクロック入力端子Cからクロック信号を入力し、出力をインバータ14、マスターラッチ11の入力側トランスファゲート15、スレーブラッチ12の出力側トランスファゲート16、およびクロック遅延回路2のクロック入力端子CB2に接続されているものとする。インバータ14は、インバータ13の出力を入力しマスターラッチ11の出力側トランスファゲート16、スレーブラッチ12の入力側トランスファゲート15、およびクロック遅延回路2のクロック

入力端子C 2に接続されているものとする。

【0030】クロック遅延回路2のクロック出力端子C O 2はD F F 1のクロック出力端子C Oに接続されている。

【0031】この構成では、D F F 1のクロック入力端子CがローレベルLの状態、データ入力端子Dからのデータはマスターラッチ11に取り込まれる。この状態のスレーブラッチ12では、トランスファゲート15が「オフ」状態である一方、トランスファゲート16が「オン」状態なので、前にラッチしたデータが出力される。また、クロック入力端子CがローレベルLからハイレベルHに変化した際には、スレーブラッチ12では、トランスファゲート15が「オン」状態になる一方、トランスファゲート16が「オフ」状態になるので、マスターラッチ11から出力されるデータを取り込む動作が行われる。

【0032】図1 (B) に示されるようにクロック遅延回路2は、それぞれの入出力が直結されると共に、それぞれの直結点にクロック入力端子C 2・C B 2それぞれが接続されている2つのトランスファゲート21・22と、この2つのトランスファゲート21・22から出力されるクロック信号を入力してクロック出力端子C O 2に接続する2つの直列にされたインバータ23・24と、インバータ23の出力を入力するインバータ25とを含むものとする。

【0033】この構成では、クロック入力端子C 2がハイレベルHの状態、トランスファゲート21が「オン」状態となってクロック出力端子C O 2にハイレベルHが出力される一方、クロック入力端子C 2がローレベルLの状態ではトランスファゲート22が「オン」状態となってクロック出力端子C O 2にローレベルLが出力される。また、クロック入力端子C 2とクロック出力端子C O 2との間ではラッチ回路と同様に駆動されるトランスファゲート21/22と2つのインバータ23・24とが挿入され、且つインバータ25のゲート容量が負荷とされている。

【0034】従って、クロック信号のローレベルL/ハイレベルHの変化で出力されるデータの遅延時間と同じ遅延時間でクロック信号を出力することができる。すなわち、D F F 1では、データ出力端子Qに出力するデータの遅延時間を相殺したクロック信号をクロック出力端子C Oに出力することができる。

【0035】次に、図2を参照して、集積回路3・4間で集積回路3・4それぞれに使用されるD F F 1・5を配線接続する場合について説明する。D F F 1は、図1を参照して説明したものであり、集積回路4およびD F F 5は従来と同一のものとする。

【0036】図2 (A) に示されるように、O S C 6の出力C L Kは、集積回路3に設けられたD F F 1のクロック入力端子Cに接続され、D F F 1のデータ出力端子

Qおよびクロック出力端子C Oそれぞれは出力バッファ31・32それぞれを介して配線接続されるものとする。データは、この配線、並びに集積回路4の入力バッファ41および遅延バッファD L G 43を介して、D F F 5のデータ入力端子Qに接続されている。一方、クロック信号は、配線および集積回路4の入力バッファ42を介して、D F F 5のクロック入力端子Cに接続されている。

【0037】この構成では、D F F 1のクロック入力端子Cに入力されるC L K 1によるデータ出力端子Qからのデータとクロック出力端子C Oからのクロック信号との出力は同一位相となり、データとクロック信号とに対し配線が有する寄生抵抗および寄生容量は同一経路の配線とすることによりほぼ同等の値となり、これらの影響は相殺される。このため、集積回路3・4間での信号の高速伝送に対して何等问题はない。

【0038】また、図2 (B) に示されるように、D F F 1で、クロック入力端子Cに入力されるC L K 1によりデータ出力端子Qから出力されるデータD T aは、D F F 5のクロック入力端子Cに入力するC L K 5より遅延バッファ43による遅延分だけ遅れた遅延時間T dの後、D F F 5のデータ入力端子Dに取り込まれる。従って、D T aが取り込まれた後、C L K 5の立上がりまでの時間がセットアップタイムT s uであり、C L K 5の立上がりからD T aからD T bに切り替わる時点までの時間がホールドタイムT hである。

【0039】図面においても明確なように、ホールドタイムT hは必ず遅延時間T dより短いため、クロックのスキューによるラッチエラーをほぼ完全に防止することができる。

【0040】

【発明の効果】以上説明したように本発明によれば、データ出力端子Qからデータが出力する遅延時間に一致するクロックを生成し出力するクロック遅延回路と、この遅延回路の出力を外部に接続するクロック出力端子C Oとを備えた、半導体集積回路を構成する、D型フリップフロップが得られる。この構成によって、集積回路間でデータを高速で送受でき、且つデータを送受する際に発生するクロックスキューを低減してスキューにより発生するラッチエラーを防止できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す回路図である。

【図2】本発明の実施のD F Fを使用した集積回路間を他の集積回路と接続した際の形態を示す接続図

(A)、およびタイムチャート(B)である。

【図3】従来のD F Fを使用した集積回路間を接続した際の第1の例を示す接続図(A)およびタイムチャート(B)である。

【図4】従来のD F Fを使用した集積回路間を接続した際の第2の例を示す接続図(A)およびタイムチャート

(B) である。

【図5】従来のDFFを使用した集積回路間を接続した際の第3の例を示す接続図である。

【符号の説明】

1、5 D型フリップフロップ (DFF)

2 クロック遅延回路

3、4 集積回路

6 発振器 (OSC)

11 マスターラッチ

12 スレーブラッチ

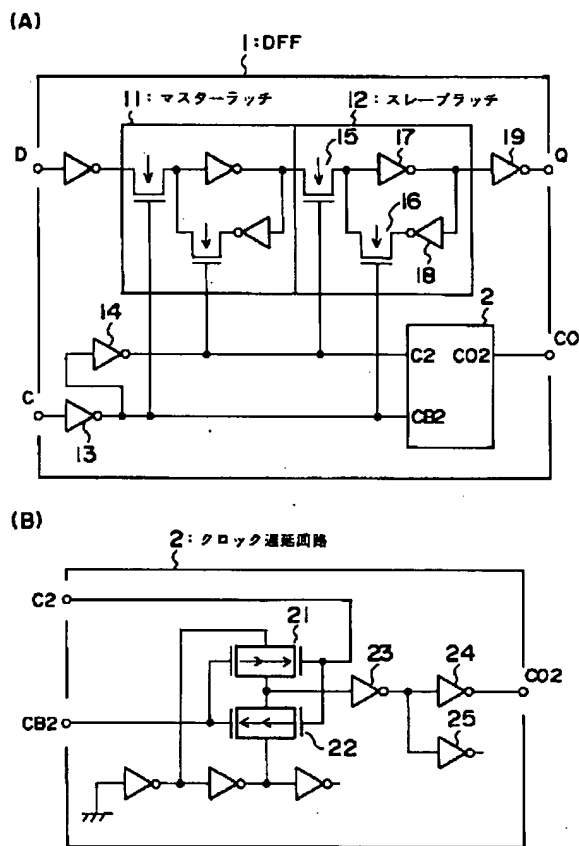
13、14、17~19、23~25 インバータ

15、16、21、22 トランスファゲート

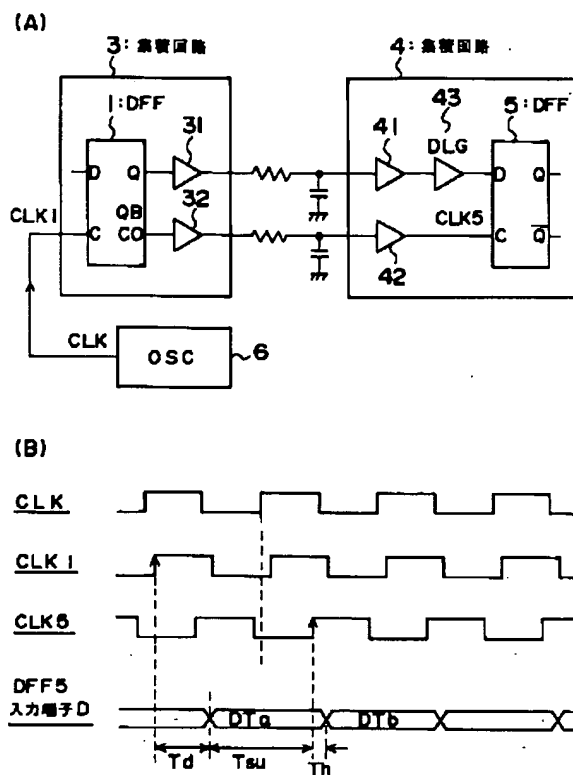
31、32、41、42 バッファ

43 遅延バッファ (DLG)

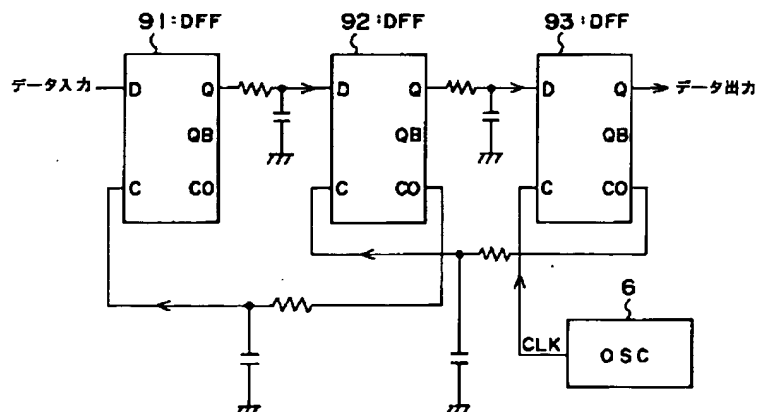
【図1】



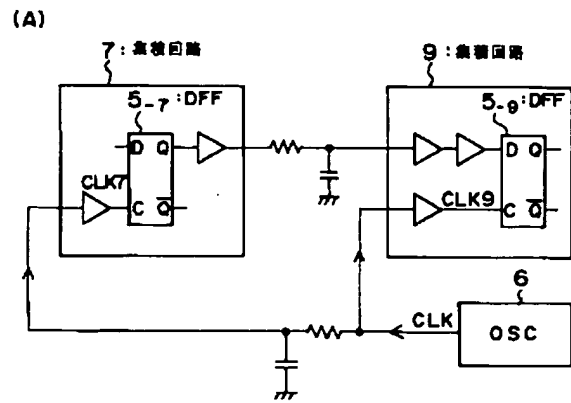
【図2】



【図5】



【図3】



【図4】

